

CVD APPARATUS AND PRODUCTION OF SEMICONDUCTOR DEVICE

Patent Number: JP11222679
Publication date: 1999-08-17
Inventor(s): ARAI TOSHIYUKI; NISHITANI EISUKE; SUZUKI MIWAKO; UCHIDA NORIHIRO
Applicant(s): HITACHI LTD
Requested Patent: ☐ JP11222679
Application Number: JP19980022932 19980204
Priority Number(s):
IPC Classification: C23C16/44; H01L21/205
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To prevent the corrosion of metallic parts and to prevent the degradation in product yield by coating the surfaces of the metallic parts of a CVD apparatus for executing gas cleaning of a reactor and piping with a halogen based gas with a metal compd. of low standard forming free energy to a specific thickness.

SOLUTION: A plurality of wafers 1 placed on a susceptor 22 are arranged in the reactor section having an outer tube 21a for vacuum discharge and an inner tube 21b for gaseous raw material supply and are heated to a prescribed temp. by heaters 23, by which the deposition of Poly-Si films, etc., is executed. The halogen based gas, such as ClF₃, HF or NF₃, is supplied at need to this CVD apparatus to execute the gas cleaning of the reactor and the piping. At this time, the surfaces of the metallic parts, such as flanges 24a, 24b of the tubes and susceptor supplying plate 25, are coated with the metal compd. of NiF₂, etc., of ≤ 600 kJ/mol in the standard forming free energy and 1 to 5 μ m in thickness. As a result, the corrosion thereof is prevented and the contamination of the deposited films is prevented.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-222679

(43)公開日 平成11年(1999) 8月17日

(51)Int.Cl.⁸

C 2 3 C 16/44

H 0 1 L 21/205

識別記号

F I

C 2 3 C 16/44

H 0 1 L 21/205

B

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21)出願番号 特願平10-22932

(22)出願日 平成10年(1998) 2月4日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 荒井 利行

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(72)発明者 西谷 英輔

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(72)発明者 鈴木 美和子

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(74)代理人 弁理士 小川 勝男

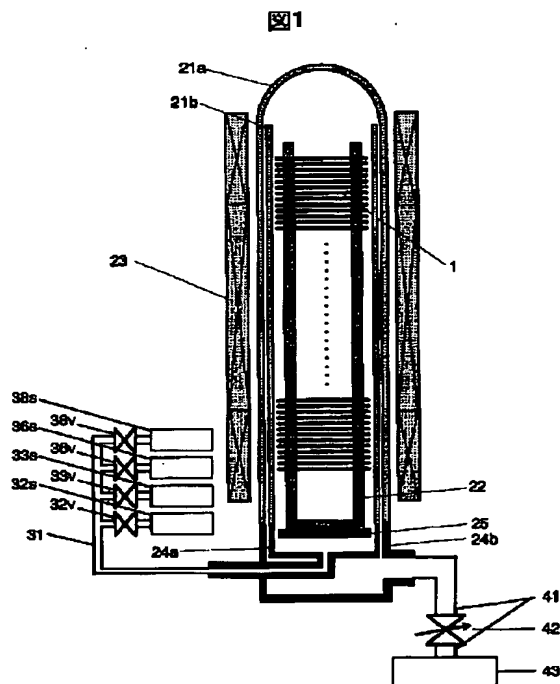
最終頁に続く

(54)【発明の名称】 CVD装置および半導体装置の製造方法

(57)【要約】

【課題】CVD装置のガスクリーニングにおける金属部品の腐食およびウエハへの金属汚染を防止する。

【解決手段】クリーニングガスに曝される金属部品であるフランジ24a, 24bおよびサセプタ支持板25の表面を厚さが1 μ m以上5 μ m以下のNiF₂膜で覆うことで、C1F₃等のハロゲン系ガスに対する金属部品の耐性を維持する。



【特許請求の範囲】

【請求項1】成膜反応を行うリアクタ、原料ガスを供給するガス供給器およびリアクタから反応ガスを排気する排気装置から構成され、特にリアクタおよび配管のガスクリーニングを目的にハロゲン系ガスのガス供給器を備えたCVD装置において、標準生成自由エネルギーが -600 kJ/mol より低い値で、かつ厚さが $1\text{ }\mu\text{m}$ 以上 $5\text{ }\mu\text{m}$ 以下の金属化合物で金属部品の表面を覆ったことを特徴とするCVD装置。

【請求項2】成膜反応を行うリアクタ、原料ガスを供給するガス供給器およびリアクタから反応ガスを排気する排気装置から構成され、特にリアクタおよび配管のガスクリーニングを目的にハロゲン系ガスのガス供給器を備えたCVD装置において、厚さが $1\text{ }\mu\text{m}$ 以上 $5\text{ }\mu\text{m}$ 以下の NiF_2 膜で金属部品の表面を覆ったことを特徴とするCVD装置。

【請求項3】請求項1または2記載のCVD装置を用いることを特徴とした半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は半導体集積回路の製造工程等に用いるCVD装置およびそれを用いた半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体集積回路の製造工程に用いる薄膜形成法として、一般的に広く用いられている方法の一つにCVD（化学気相成長）法がある。CVD法では、熱あるいはプラズマ等を用いて原料ガスの化学反応によりウエハ上に薄膜を形成させる。CVD法の特徴は、堆積させる膜の融点よりもかなり低い温度で高純度かつ結晶性の優れた薄膜が得られること、および物理蒸着に対し基板への薄膜の付きまわり性（カバレッジ）が良いことにある。現在、CVD法により、 SiO_2 、 Poly-Si 、 Si_3N_4 、 W 、 WSi 、 TiN 、 Ta_2O_5 等の薄膜が成膜されている。

【0003】CVD装置は成膜反応を行うリアクタ、リアクタに原料ガスを供給するガス供給器、ガス供給器とリアクタとを結ぶガス供給配管、リアクタから反応ガスを排気する排気装置、およびリアクタと排気装置とを結ぶ排気配管から構成される。成膜反応を一定の圧力で行う場合には排気配管の途中に圧力調整バルブを設ける。

【0004】このCVD装置で成膜反応を繰り返すことにより、リアクタ内壁、排気配管内壁あるいは圧力調整バルブに成膜反応の副生成物が堆積する。その反応副生成物の膜厚がある限界値を越えると堆積膜が持つ内部応力により剥がれが生じる。その破片がガス流に乗ってウエハ上に運ばれれば、半導体集積回路チップ上でショート・断線等のデバイス不良を引き起こし、半導体チップの製造歩留まりを低下させるという問題が生じる。さらに、排気配管の壁面に堆積することにより排気配管およ

び圧力調整バルブがつまり、排気および圧力調整が正常に行えなくなるといった問題を生じる。

【0005】これらの問題を回避するために、反応副生成物を一定の時間間隔で除去する作業が必要となる。従来はCVD装置を分解し、各種の酸を主成分とする薬液により堆積膜をエッチング除去し、洗浄、乾燥させ組み立てるといった全掃作業を行っていた。この全掃作業は、たとえば SiO_2 の縦型熱CVD装置の場合、リアクタの冷却、分解、エッチング洗浄、組立、調整、および成膜の条件出しを行う。この全掃作業に約2日間の時間を要し、2週間から3週間に一回の割合で実施している。このため、この一連の作業だけで装置の稼働率を約10%程、低下させる要因となっていた。

【0006】この問題を解決するために、 ClF_3 、 HF 、 NF_3 等の強い腐食性を有するハロゲン系ガスを流すことにより、装置を分解することなくチャンバ内壁および配管内壁に付着した成膜反応副生成物を除去する方法が検討されている。

【0007】しかしながら、ガスクリーニングの副作用として金属部品の表面がハロゲンあるいは酸素と反応することによりパーティクルを発生しやすい化合物あるいは蒸気圧の高い化合物が生成し、パーティクルがガス流に乗り、ウエハ上に運ばれること、あるいは蒸発により飛散してウエハ上に蒸着されること等により、ウエハ上にパーティクルが乗るあるいはウエハの金属汚染が発生するという問題が生じた。

【0008】これらの問題を解決するため、特開平5-302177号記載のように金属部品の表面にニッケルのフッ化不動態膜を形成することにより腐食性ガスに対する耐性を高める試みがなされた。

【0009】

【発明が解決しようとする課題】上記従来技術に示した発明ではニッケルのフッ化不動態膜の膜厚が 20 nm から 30 nm 前後と非常に薄いため、リアクタ温度を上げ下げする時および装置の保守を行う時に部品同士がこすれ、金属部品表面のニッケルのフッ化不動態膜が摩耗し、腐食が発生するという問題がある。

【0010】本発明の目的はCVD装置のリアクタ温度の上げ下げ、および部品交換を繰り返しても、 ClF_3 、 HF 、 NF_3 等のハロゲン系ガスによるクリーニングにおいてCVD装置金属部品の腐食を防止することができるCVD装置を提供することにある。

【0011】また、本発明の目的は金属汚染あるいはパーティクルの発生による製造歩留まりの低下を防止できる半導体装置の製造方法を提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するためにガスクリーニングを行うCVD装置において、標準生成自由エネルギーが -600 kJ/mol より低い値で、かつ厚さが $1\text{ }\mu\text{m}$ 以上 $5\text{ }\mu\text{m}$ 以下の材料で金属部品の表

面を覆うものである。

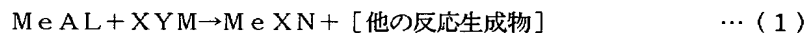
【0013】上記目的を達成するためにガスクリーニングを行うCVD装置において、金属部品の表面を膜厚が $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下の NiF_2 膜で覆うものである。

【0014】上記目的を達成するために半導体装置の製造に上記CVD装置を用いるものである。

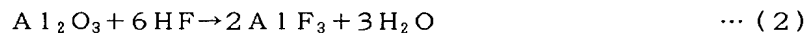
【0015】 Ni は金属の中で最も腐食に強い材料である。この Ni を ClF_3 、 HF 、 NF_3 等の腐食性ガスに曝すと、反応系に存在する H_2O の働きにより酸化物である NiO 、塩化物である NiCl_2 あるいはフッ化物である NiF_2 が生成される。これらの Ni 化合物の内、 NiO は脆く剥がれやすいために黒色のパーティクルを発生する。 NiCl_2 の蒸気圧は約 500°C で 0.1Pa にも達するため、蒸発により飛散する。これらに対し NiF_2 の蒸気圧は NiCl_2 に比較して4桁以上も低く、しかも緻密な不動態膜を形成する。

【0016】また、これら Ni 化合物の化学的安定性の指標は標準生成自由エネルギーで与えられる。 NiO の標準生成自由エネルギーが -211kJ/mol 、 NiCl_2 の標準生成自由エネルギーが -259kJ/mol であるのに対し、 NiF_2 の標準生成自由エネルギーは -604kJ/mol であり、 NiF_2 が化学的に最も安定な物質であることがわかる。したがって、この NiF_2 を金属部品表面にあらかじめ形成することにより、 ClF_3 、 HF 、 NF_3 等の腐食性ガスに曝した場合でも、パーティクルの発生および金属化合物の飛散を防止することが可能となる。

【0017】量産ラインで主流のバッチ処理式CVD装



ただし、 MeAL は任意の金属化合物、 XYM はハロゲン系ガス、 MeXN は金属ハロゲン化物、添え字の L 、 M および N は実数を表わしている。この反応式において、右辺に記した反応生成物のギブス自由エネルギーの和から、左辺に記した反応物質のギブス自由エネルギーの和を引いた値である ΔG が正であれば反応が進み、負であれば反応が進まないことがわかる。さまざまな物質について検討した結果、金属化合物の標準生成自由エネルギーが -600kJ/mol よりも低い物質であれば、ハロゲン系ガスと反応しないことがわかった。すでに知られている例としては、上で説明した NiF_2 の標準生成自由エネルギーが -604kJ/mol であり、また、



この反応式中の各物質の 527°C におけるギブス自由エネルギーは次の通りである。

【0024】

Al_2O_3 : -1796kJ/mol

HF : -438kJ/mol

AlF_3 : -1629kJ/mol

$$\Delta G = (2 \times (-1629) + 3 \times (-383)) - (-1796 + 6 \times (-438))$$

置は成膜前にリアクタ温度を成膜温度まで昇温し、成膜後に室温近くまで降温する。このように成膜毎に昇降温を繰り返すために、ウエハを乗せる石英製サセプタとそれを支える金属製サセプタ支持板との間で熱膨張係数の差に起因する擦れが生じ、これにより金属部品表面の NiF_2 膜が摩耗し、ガスクリーニングにより腐食が進んだ。

【0018】さらに、量産用CVD装置においてガスクリーニングを実施した場合でも、定期的に部品交換作業を行う。具体的にはリアクタ温度を室温近くまで下げ、リアクタ内部に取り付けられた治具の交換作業等を行う。金属部品に接して取り付けられた部品を交換する際に、その部品が金属部品と擦れることを回避することができなかった。

【0019】上記 NiF_2 膜がこの擦れによる摩耗に耐えるためには、 NiF_2 膜の膜厚を厚くし、腐食性ガスの進入を防ぐことが必要である。そのための膜厚として $1\mu\text{m}$ 以上の膜厚が必要と考えられる。一方、 NiF_2 膜は Ni がフッ化する際に体積が約2倍に膨張し、圧縮の内部応力を持つことになる。この内部応力は膜厚の増加に伴い大きくなり、剥がれやすくなる。その膜厚の限界は約 $5\mu\text{m}$ と考えられる。

【0020】ところで、ある金属化合物がハロゲン系ガスと反応するかどうかはその反応に伴うギブス自由エネルギーの差から知ることができる。金属化合物とハロゲン系ガスとの反応は一般的に次の反応式で表わせる。

【0021】

【化1】

特開平7-273053号に記された AlF_3 膜の標準生成自由エネルギーが -1425kJ/mol であり、いずれの物質もハロゲン系ガスと反応しない。

【0022】具体的な計算例を Al_2O_3 について説明する。 Al_2O_3 の標準生成自由エネルギーは -1582kJ/mol であり、ハロゲン系ガスと反応しないことが推測できる。たとえば、この Al_2O_3 とハロゲン系ガスの一つである HF との反応は次の反応式で表わすことができる。

【0023】

【化2】

H_2O : -383kJ/mol

以上の値からギブス自由エネルギーの差 ΔG は次の数1で計算できる。

【0025】

【数1】

$$= 17 \text{ kJ/mol}$$

この ΔG が正の値であり、 Al_2O_3 は HF と反応しないことがわかる。

【0026】本発明においては、CVD装置の金属部品の表面に、標準生成自由エネルギーが -600 kJ/mol より低い値で、かつ $1 \mu\text{m}$ 以上 $5 \mu\text{m}$ 以下の厚さの金属化合物を用いて皮膜を形成する。これにより、部品交換時に剥がれが生じにくく、クリーニングガスによる金属部品の腐食防止効果を維持できる。

【0027】また、CVD装置の金属部品の厚さが $1 \mu\text{m}$ 以上 $5 \mu\text{m}$ 以下の NiF_2 膜で覆うことにより、部品交換時に剥がれが生じにくく、クリーニングガスによる金属部品の腐食防止効果を維持できる。

【0028】上記 NiF_2 膜を金属部品表面に形成したCVD装置を用いて半導体装置を製造することにより、高い製造歩留まりで半導体装置を製造することができる。

【0029】

【発明の実施の形態】(実施例1)図1により本発明の第1の実施例であるバッチ処理型のPoly-Si成膜用CVD装置を説明する。

【0030】成膜反応を行うリアクタ部は石英チューブ21とこれを支えるフランジ24からなる。石英チューブ21は真空を保つためのアウトチューブ21aおよび原料ガスを均一に流すためのインナチューブ21bからなる。インナチューブ21bの内部に複数のウエハ1を載せるためのサセプタ22、およびこのサセプタを支えるサセプタ支持板25を設置し、かつこれらを加熱するためのヒータ23を備えている。フランジ24aにはガス供給配管31およびバルブ32v、33v、36v、38vを介して SiH_4 供給器32s、 PH_3 供給器33s、 N_2 供給器36sおよび ClF_3 供給器38sを接続し、フランジ24bには排気配管41を介してアウトチューブ21a内部の圧力を制御するためのコンダクタンスバルブ42および排気装置43を接続している。

【0031】上記CVD装置の構成部品の内、フランジ24a、24b、サセプタ支持板25は強度と加工精度を得るために金属で作製した。これらの金属部品はヒータ23からの輻射により 400°C 近くの高温になるため、クリーニングガスによる腐食を防止するために母材表面に NiF_2 膜を形成した。その NiF_2 膜の形成方法を以下に示す。

【0032】まず、母材にステンレス等の純ニッケル以外の金属を用いた場合について説明する。金属母材の表面にニッケルめっき、あるいは NiP めっき等のニッケル合金めっきを約 $20 \mu\text{m}$ の厚さになるまで行う。これを Ar 等の不活性ガス雰囲気中において 150°C の温度で一時間の焼き出しを行い、その後、 500°C の温度に加熱し、 F_2 ガスを流すことにより、母材表面に NiF_2 膜を形成した。母材に純ニッケルを用いた場合は、A

…(1)

r等の不活性ガス雰囲気中に置換した後、 500°C に加熱し、 F_2 ガスを流し、母材表面に NiF_2 膜を形成した。

【0033】 NiF_2 膜の最適な膜厚を知るために、サセプタ22と擦れが生じるサセプタ支持板25に膜厚が $0.1 \mu\text{m}$ から $10 \mu\text{m}$ の NiF_2 膜を形成し、実際に量産ラインでの作業に近い条件でリアクタ温度の昇降温およびガスクリーニングを実施し、金属部品の表面を観察した。以下にその手順を示す。

【0034】疑似的な成膜作業として、ヒータ23を用いてPoly-Si膜の成膜温度である 580°C に加熱したインナチューブ21b内に、150枚の8インチウエハ1を載せたサセプタ22を挿入し、熱平衡状態に達するまで待ち、その後、サセプタ22を引き出し、約 150°C の温度に冷却されるまで待つ作業を行った。この疑似成膜作業を全部で30回繰り返した。

【0035】その後、次の手順でガスクリーニングを実施した。ヒータ23を用いてアウトチューブ21a、インナチューブ21bおよびサセプタ22を 580°C に加熱した状態で、バルブ36vおよび38vを開いた後、 N_2 供給器36sおよび ClF_3 供給器38sから N_2

および ClF_3 をそれぞれ 300 SCCM および 2700 SCCM の流量で供給し、アウトチューブ21a内の圧力が 100 Pa になるようにコンダクタンスバルブ43により排気量を制御した。このガスクリーニングを90分間実施した。その後、上に記した疑似成膜作業を実施した。この疑似成膜作業とガスクリーニング作業を100回繰り返した。その後、サセプタ支持板25の表面を目視観察した。その結果を表1に示す。

【0036】

【表1】

(表1)

膜厚(μm)	腐食状況
0.1	全面的に黒色化した。
0.2	擦れ部分が黒色化した。
0.5	擦れ部分の一部が黒色化した。
1.0	変色せず。
2.0	変色せず。
5.0	変色せず。
10.0	NiF_2 膜形成直後に剥がれた。

【0037】 NiF_2 膜の膜厚が $0.5 \mu\text{m}$ 以下のサセプタ支持板25についてはサセプタ22と接触した部分に一部に黒色の変色部が観察された。さらに、その部位に粘着材を塗布したテープを張り付け、剥がすことにより、テープの粘着材にパーティクル状の破片が付着していることが観察された。このパーティクルの組成をエネルギー分散型エックス線法により分析したところ、ニッケルの酸化物であることがわかった。これに対し、Ni

F_2 膜の膜厚が $1\mu m$ から $5\mu m$ の試料については変色が認められず、テープへのパーティクルの付着も観察されなかった。ただし、 NiF_2 膜の膜厚が $10\mu m$ の試料は NiF_2 膜を形成したときに、すでにクラックが生じたため、評価の対象から除いた。これは NiF_2 膜形成時の圧縮方向の内部応力が原因と考えられる。

【0038】本実施例ではPoly-Si膜を成膜するバッチ処理型の熱CVD装置について説明したが、Poly-Si膜以外の SiO_2 、 O_3-SiO_2 、 O_3-PSG 、 O_3-BPSG 、 Si_3N_4 、W、WSi、TiN、 Ta_2O_5 等の薄膜を成膜する熱CVD装置においても同様の効果が得られる。

【0039】本実施例によれば、CVD装置の金属部品の表面を $1\mu m$ 以上、 $5\mu m$ 以下の NiF_2 膜で覆うことにより、金属部品表面の腐食を防止することができた。

【0040】(実施例2)次に、本発明の第2の実施例である枚葉処理型の SiO_2 成膜用CVD装置を図2により説明する。

【0041】成膜反応を行うリアクタ部は石英チューブ21とこれを両側から支えるフランジ24a、24bからなる。石英チューブ21はその内部にウエハ1を載せるためのサセプタ22を設置し、かつこれらを加熱するためのヒータ23を備えている。フランジ24aにはガス供給配管31およびバルブ34v、35v、36v、38v、39vを介してTEOS供給器34s、He供給器35s、 N_2 供給器36s、 ClF_3 供給器38sおよびHF供給器39sを接続し、フランジ24bには排気配管41を介して石英チューブ21内部の圧力を制御するためのコンダクタンスバルブ42および排気装置43を接続している。また、フランジ24bにはゲートバルブ51を介して搬送室52を接続し、搬送室52の内部にはウエハ1をサセプタ22に載せるための搬送アーム53を備えている。

【0042】上記CVD装置の構成部品の内、ガス供給配管31、バルブ34v、35v、36v、38v、39v、フランジ24a、24b、排気配管41およびコンダクタンスバルブ42はTEOSの凝縮を防ぐために $90^\circ C$ 以上に加熱した。また、これらの部品は強度と加工精度を得るために金属で作製した。これらの金属部品のクリーニングガスによる腐食を防止するために母材であるステンレスの表面にNiPめっきを施し、そのフッ化処理により NiF_2 膜を形成した。

【0043】 NiF_2 膜の膜厚の効果を確認するために、サセプタ22と擦れが生じるフランジ24aに厚さが $0.5\mu m$ と $1\mu m$ の NiF_2 膜を形成し、実際の量産プロセスに近い条件で疑似保守作業とガスクリーニングを行い、金属部品表面を観察した。以下に、その手順を示す。

【0044】疑似的な保守作業として石英チューブ21

を加熱しない状態でサセプタ22を取り出し、取り付け作業を行い、その後、次の手順でガスクリーニングを行った。ヒータ23を用いて石英チューブ21およびサセプタ22を $750^\circ C$ まで昇温し、加熱した状態で、バルブ36vおよび38vを開いた後、 N_2 供給器36sおよび ClF_3 供給器38sから N_2 および ClF_3 をそれぞれ $500SCCM$ および $1000SCCM$ の流量で供給し、石英チューブ21内の圧力が $200Pa$ になるようにコンダクタンスバルブ43により排気量を制御する。この条件で ClF_3 ガスを500分間流した。この疑似保守作業とガスクリーニングを100回繰り返した後、サセプタ22と擦れが生じる部分の腐食状況を目視で観察した。

【0045】その結果、表2に示すように、 NiF_2 膜の厚さが $0.5\mu m$ の場合はサセプタ22との擦れにより傷が発生し、その部分が黒色に変色し、テープを張り付け剥がすことによりパーティクルの発生が確認できたのに対し、 NiF_2 膜の厚さが $1\mu m$ の場合は傷の部分に変色が見られず、パーティクルの発生も見られなかった。

【0046】

【表2】

(表2)

膜厚(μm)	腐食状況
0.5	擦れ部分の一部が黒色化した。
1.0	変色せず。

【0047】また、実施例1から容易に予想ができるように NiF_2 膜の厚さが $5\mu m$ より厚い場合は形成時の内部応力により剥がれが生じ、CVD装置に適用できない。

【0048】本実施例では SiO_2 膜を成膜する枚葉処理型の熱CVD装置について説明したが、 SiO_2 膜以外の O_3-SiO_2 、 O_3-PSG 、 O_3-BPSG 、Poly-Si、 Si_3N_4 、W、WSi、TiN、 Ta_2O_5 等の薄膜を成膜する熱CVD装置、および SiO_2 等の薄膜を成膜するプラズマCVD装置においても同様の効果が得られる。

【0049】本実施例によれば、CVD装置の金属部品の表面を厚さが $1\mu m$ 以上、 $5\mu m$ 以下の NiF_2 膜で覆うことにより、金属部品表面の腐食を防止し、かつパーティクルの発生を防止することができた。

【0050】(実施例3)次に、本発明の第3の実施例としてメモリセル選択用MISFETの上部に情報蓄積容量素子を配置するスタックド・キャパシタ(Stacked Capacitor)構造のメモリセルを備えたDRAM(Dynamic Random Access Memory)の製造に適用した例を示す。このメモリセルは、情報蓄積容量素子の下部電極と上部電極をそれぞれPoly-SiおよびTiNで構成

し、容量絶縁膜を Ta_2O_5 で構成する。また、情報蓄積用容量素子とその上部に形成されるビット線とを分離する層間絶縁膜を SiO_2 で構成する。

【0051】このメモリセルを形成するためには、先ず図3に示すように、例えばp型の単結晶シリコンからなる半導体ウエハ1の主面にp型不純物（ホウ素）をイオン打ち込みしてp型ウエル2を形成した後、周知のLOCOS法でp型ウエル2の表面の素子分離領域にフィールド酸化膜3を形成し、次いで素子形成領域にゲート酸化膜4を形成する。次に、フィールド酸化膜3の下部を含むp型ウエル2内にp型不純物（ホウ素）をイオン打ち込みして素子分離用のp型チャネルストッパ層5を形成する。

【0052】次に、図4に示すように、ゲート酸化膜4上にメモリセル選択用MISFETのゲート電極6を形成する。このゲート電極6は、メモリセルのワード線WLを兼ねている。ゲート電極6（ワード線WL）は、p型ウエル2上にCVD法でPoly-Si（多結晶シリコン）膜（または多結晶シリコン膜と高融点金属シリサイド膜とを積層したポリサイド膜）と SiO_2 膜7とを堆積する。これらのPoly-Si膜および SiO_2 膜7の成膜に実施例1および実施例2で説明したCVD装置を用いた。次に成膜について説明する。

【0053】まず、Poly-Si膜の成膜について図1を使って説明する。約580℃に加熱した石英チューブ21内のサセプタ22に、150枚の6インチウエハ1を載せる。その後、バルブ32vおよび33vを開いた後、 SiH_4 供給器32sおよび PH_3 供給器33sから SiH_4 および PH_3 をそれぞれ1000SCCMおよび5～100SCCMの流量で供給し、アウトチューブ21a内の圧力が50Paになるようにコンダクタンスバルブ43により排気量を制御する。すると、 SiH_4 の熱分解反応によりウエハ1にPoly-Si膜を約4nm/minの成膜速度で形成できる。

【0054】次に SiO_2 膜の成膜について図2を使って説明する。約750℃に加熱した石英チューブ21内のサセプタ22に、搬送室52から搬送アーム53を用い、ゲートバルブ51を通して2枚の6インチウエハ1を載せる。その後、バルブ32およびバルブ34を開いた後、TEOS供給器34sおよびHe供給器35sからTEOSおよびHeをそれぞれ100SCCMの流量で供給し、石英チューブ21中の圧力が100Paになるようにコンダクタンスバルブ43により排気量を制御する。すると、TEOSの熱分解反応によりウエハ1の表面に SiO_2 膜を約30nm/minの成膜速度で形成できる。

【0055】次に、フォトリジストをマスクにしたエッチングでこれらの膜をパターニングして形成する。

【0056】次に、図5に示すように、p型ウエル2にn型不純物（リン）をイオン打ち込みしてメモリセル選

択用MISFETのn型半導体領域8（ソース領域、ドレイン領域）を形成した後、図6に示すように、ゲート電極6（ワード線WL）の側壁にサイドウォールスペーサ9を形成し、次いでp型ウエル2の全面にCVD法で SiO_2 膜10を堆積する。この SiO_2 膜10を堆積に実施例1で説明したCVD装置を用いた。サイドウォールスペーサ9は、p型ウエル2の全面にCVD法で堆積した SiO_2 膜を反応性イオンエッチング法でパターニングして形成する。

【0057】次に、図7に示すように、メモリセル選択用MISFETのソース領域、ドレイン領域のどちらか一方の上部の SiO_2 膜10およびゲート酸化膜4をエッチングして接続孔11を形成した後、 SiO_2 膜10の上部に膜厚200nm程度のPoly-Si膜12を形成する。このPoly-Si膜12の成膜に実施例1で説明したCVD装置を用いた。

【0058】次に、図8に示すように、フォトリジストをマスクにしたドライエッチングでPoly-Si膜12をパターニングすることにより、情報蓄積用容量素子の下部電極12Aを形成する。この下部電極12Aは、接続孔11を通じてメモリセル選択用MISFETのソース領域、ドレイン領域の一方（n型半導体領域8）に接続される。

【0059】次に、図9に示すように、下部電極12Aの上部に膜厚200nm程度の Ta_2O_5 膜13を堆積する。

【0060】次に、図10に示すように、 Ta_2O_5 膜13の上部に膜厚300nm程度のTiN膜14を堆積する。次に、図11に示すように、フォトリジストをマスクにしたドライエッチングでTiN膜14およびその下層の Ta_2O_5 膜13をパターニングすることにより、情報蓄積用容量素子の上部電極14A、容量絶縁膜（ Ta_2O_5 膜13）および上部電極14Aの積層構造で構成された情報蓄積用容量素子が得られる。

【0061】次に、図12に示すように、情報蓄積用容量素子の上部に膜厚500nm程度の SiO_2 膜15を堆積する。

【0062】その後、図13に示すように、 SiO_2 膜15、 SiO_2 膜10およびゲート酸化膜4をエッチングして、メモリセル選択用MISFETのソース領域、ドレイン領域の他方（n型半導体領域8）の上部に接続孔16を形成する。続いて、この接続孔16の内部にW膜あるいはPoly-Si膜を埋め込んでプラグ17を形成した後、 SiO_2 膜15の上部にCVD法またはスパッタリング法で堆積したW膜をパターニングしてビット線BLを形成する。

【0063】なお、ビット線BLの上部には層間絶縁膜を介して上部配線が形成され、さらにその上部にはパッシベーション膜が形成されるが、それらの図示は省略する。

【0064】以上のようにして製造したDRAMの製造歩留まりを従来例と比較した結果、実施例1および実施例2のCVD装置を用いることによりDRAMの製造歩留まりを50%から55%に向上させることができた。

【0065】本実施例によれば、以上のようにして製造したDRAMはCVD装置のガスクリーニングにおいて金属部品の腐食によるパーティクルの発生がないため、半導体装置の製造歩留まりを向上させることができた。

【0066】

【発明の効果】本発明によればCVD装置の金属部品の表面を、標準生成自由エネルギーが -600 kJ/mol より低い値で、かつ厚さが $1\text{ }\mu\text{m}$ 以上、 $5\text{ }\mu\text{m}$ 以下の金属化合物、たとえば NiF_2 膜で覆うことによりガスクリーニングにおける金属部品の腐食を防止することができ、ウエハへの金属汚染あるいはパーティクルの発生を防止できる。さらにこのCVD装置を半導体装置の製造に適用することにより、半導体装置の製造歩留まりを向上させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例のバッチ処理型のCVD装置の構造を示す断面図。

【図2】本発明の第2の実施例の枚葉処理型のCVD装置の構造を示す断面図。

【図3】本発明の第3の実施例のDRAMの製造方法を示す半導体ウエハの要部断面図。

【図4】本発明の第3の実施例のDRAMの製造方法を示す半導体ウエハの要部断面図。

【図5】本発明の第3の実施例のDRAMの製造方法を示す半導体ウエハの要部断面図。

【図6】本発明の第3の実施例のDRAMの製造方法を示す半導体ウエハの要部断面図。

【図7】本発明の第3の実施例のDRAMの製造方法を示す半導体ウエハの要部断面図。

【図8】本発明の第3の実施例のDRAMの製造方法を示す半導体ウエハの要部断面図。

【図9】本発明の第3の実施例のDRAMの製造方法を示す半導体ウエハの要部断面図。

【図10】本発明の第3の実施例のDRAMの製造方法を示す半導体ウエハの要部断面図。

【図11】本発明の第3の実施例のDRAMの製造方法を示す半導体ウエハの要部断面図。

【図12】本発明の第3の実施例のDRAMの製造方法を示す半導体ウエハの要部断面図。

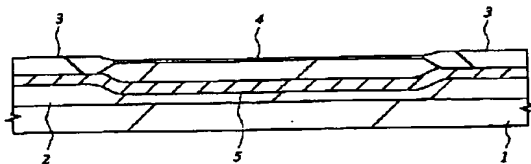
【図13】本発明の第3の実施例のDRAMの製造方法を示す半導体ウエハの要部断面図。

【符号の説明】

1…ウエハ、2…p型ウエル、3…フィールド酸化膜、4…ゲート酸化膜、5…p型チャネルストッパ層、6…ゲート電極、7… SiO_2 膜、8…n型半導体領域(ソース領域、ドレイン領域)、9…サイドウォールスペーサ、10… SiO_2 膜、11…接続孔、12…Poly-Si膜、12A…下部電極、13… Ta_2O_5 膜、14…TiN膜、14A…上部電極、15… SiO_2 膜、16…接続孔、17…プラグ、21…石英チューブ、21a…アウトチューブ、21b…インナチューブ、22…サセプタ、23…ヒータ、24a…フランジ、24b…フランジ、25…サセプタ支持板、31…ガス供給配管、32v…バルブ、32s… SiH_4 供給器、33v…バルブ、33s… PH_3 供給器、34v…バルブ、34s…TEOS供給器、35v…バルブ、35s…He供給器、36v…バルブ、36s… N_2 供給器、38v…バルブ、38s… ClF_3 供給器、39v…バルブ、39s…HF供給器、41…排気配管、42…コンダクタンスバルブ、43…排気装置、51…ゲートバルブ、52…搬送室、53…搬送アーム。

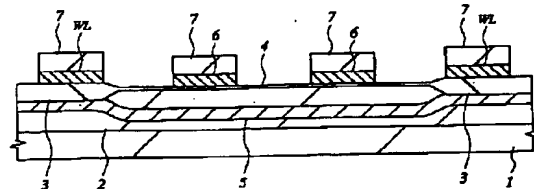
【図3】

図3

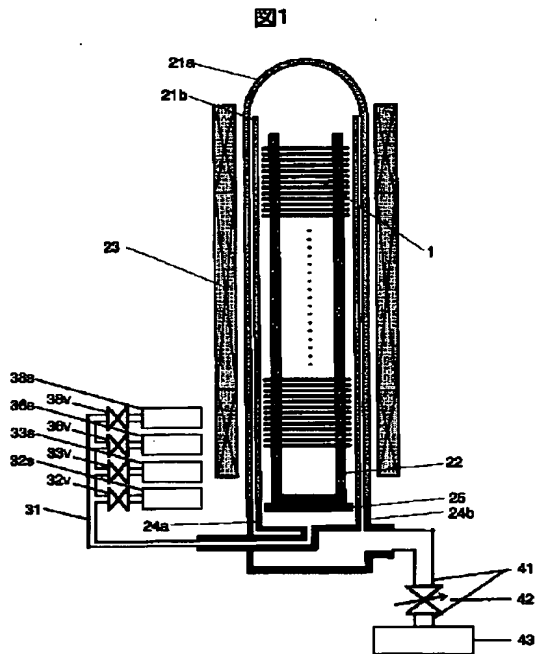


【図4】

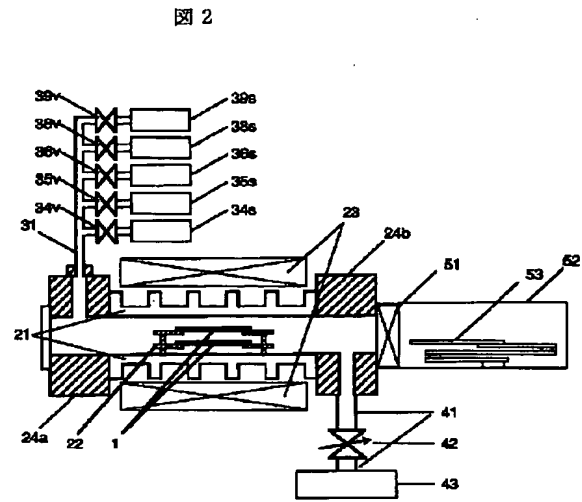
図4



【図1】

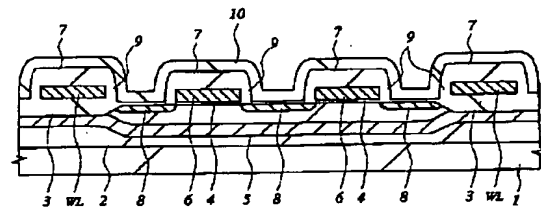


【図2】



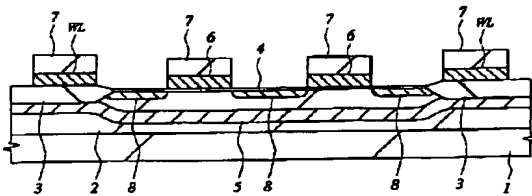
【図6】

図6



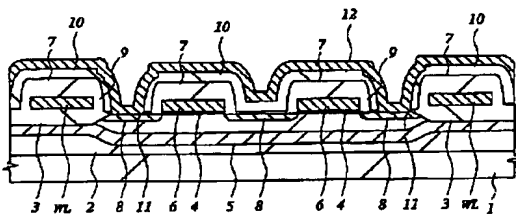
【図5】

図5



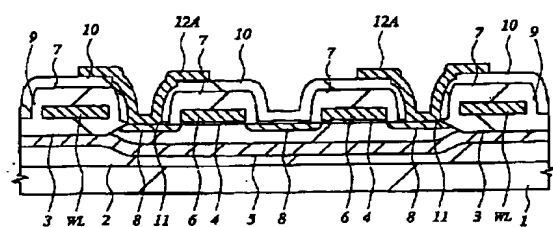
【図7】

図7



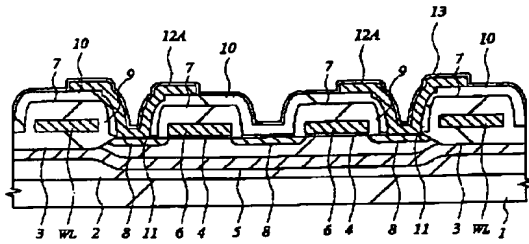
【図8】

図8



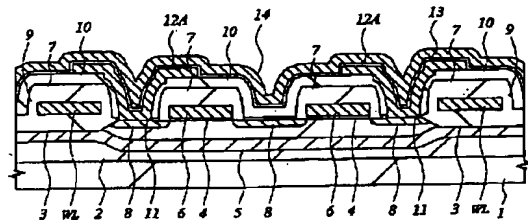
【図9】

図9



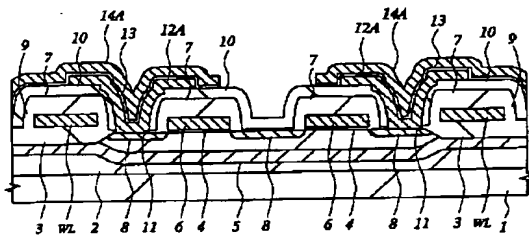
【図10】

図10



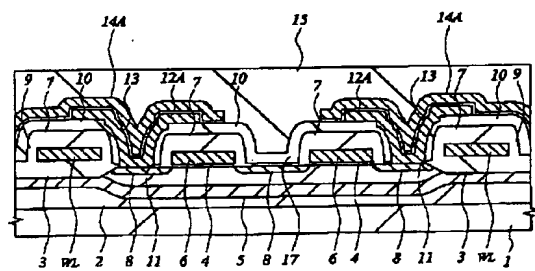
【図11】

図11



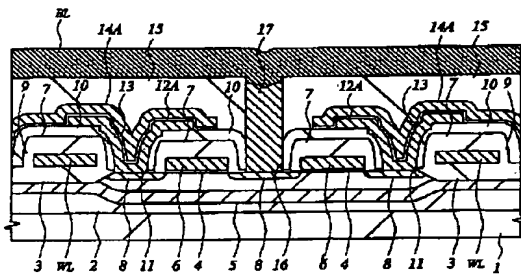
【図12】

図12



【図13】

図13



フロントページの続き

(72)発明者 内田 憲宏

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内